

Family list

1 application(s) for: **JP4319919 (A)**

1 LIQUID CRYSTAL DISPLAY

Inventor: OZAKI MASAAKI

EC:

Publication Info: JP4319919 (A) - 1992-11-10

Applicant: NIPPON DENSO CO

IPC: *G02F1/1333; G02F1/1345*; (IPC1-7); G02F1/1333; (+1)

Priority Date: 1991-04-19

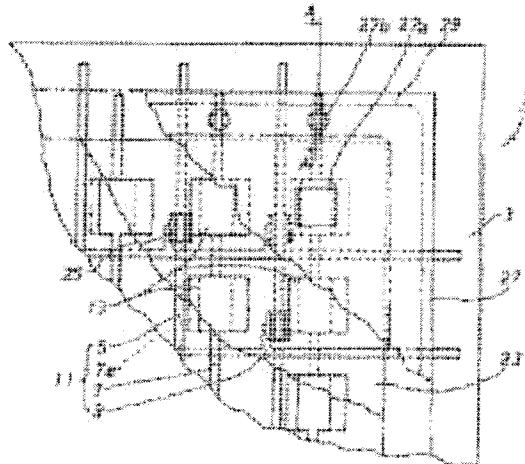
Data supplied from the **espacenet** database — Worldwide

LIQUID CRYSTAL DISPLAY

Patent number: JP4319919 (A)
Publication date: 1992-11-10
Inventor(s): OZAKI MASAAKI +
Applicant(s): NIPPON DENSO CO +
Classification:
- **international:** G02F1/1333; G02F1/1345; (IPC1-7): G02F1/1333; G02F1/1345
- **european:**
Application number: JP19910088529 19910419
Priority number(s): JP19910088529 19910419

Abstract of JP 4319919 (A)

PURPOSE: To simplify the process of manufacturing an active matrix address system liquid crystal display the screen of which is prevented from flickering by a capacitor and reduce the size of the display. **CONSTITUTION:** The first transparent board 3 has the surface laminated with a scanning electrode 5 and a reference electrode 7 and a signal electrode 9 in sequence, between which the first insulation layer 23 is laid. Voltage is applied to a picture element electrode 13 via a FET 25. A capacitor is formed with the picture element electrode 13, the first insulation layer 23 and the reference electrode 7 which is electrically connected to a counter electrode via a sealing material 29 with the conductive section.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-319919

(43)公開日 平成4年(1992)11月10日

(51)Int.Cl.⁵

G 0 2 F 1/1345
1/1333

識別記号

9018-2K
8806-2K

府内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全5頁)

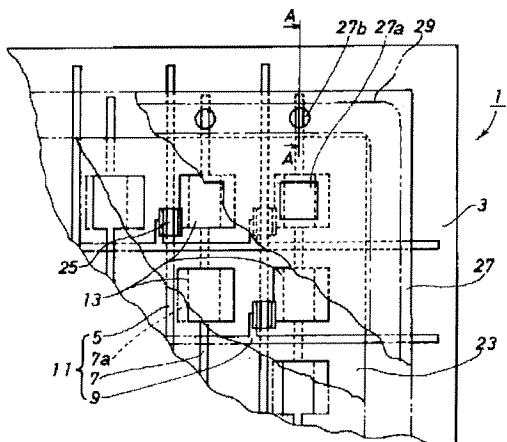
(21)出願番号	特願平3-88529	(71)出願人	000004260 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地
(22)出願日	平成3年(1991)4月19日	(72)発明者	尾崎 正明 愛知県刈谷市昭和町1丁目1番地 日本電 装株式会社内
		(74)代理人	弁理士 足立 勉

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 コンデンサによって画面のちらつきを防止することができるアクティブマトリックスアドレス方式の液晶表示装置において、装置の製造工程を簡単にすると共に装置の小型化を可能にする。

【構成】 第1透明基板3の表面には、走査電極5及び基準電極7と、信号電極9とが、第1絶縁層23を挟んで順次積層されており、FET25を介して画素電極13に電圧を印加している。画素電極13、第1絶縁層23、及び基準電極7でコンデンサが形成され、基準電極7は導通部が設けられたシール材29を介して図示しない対向電極と電気的に接続されている。



【特許請求の範囲】

【請求項1】 表面に電極層が積層された第1透明基板と、該電極層表面にマトリックス状に配列された多数の透明な画素電極と、該画素電極表面に積層された液晶層と、該液晶層表面に積層された透明な対向電極と、該対向電極の表面に積層された第2透明基板と、上記液晶層の周囲に連続的に設けられ、上記液晶層を上記第1透明基板と上記第2透明基板との間に封止するシール材と、を備え、上記電極層が、上記画素電極の各行に対応して平面状に並べられた走査電極と、上記画素電極の各列に対応して平面状に並べられた信号電極と、該走査電極と該信号電極との間に設けられた絶縁層とを有してなる液晶表示装置において、上記各走査電極又は上記各信号電極の何れか一方と平行に、かつ該電極と同一平面上に並べて設けられた基準電極と、上記基準電極と上記各画素電極との間に夫々接続された多数のコンデンサと、上記シール材の内部に形成され、上記各基準電極と上記対向電極とを電気的に接続する導通部と、を設けてなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶層に電圧を印加する画素電極をマトリックス状に配列し、スイッチ素子を介して各画素電極と対向電極との間に電圧を印加する所謂アクティブマトリックスアドレス方式の液晶表示装置に関する。

【0002】

【従来の技術】 従来より、マトリックス状に配列された多数の画素電極に薄膜トランジスタのドレインを個々に接続すると共に、画素電極の各行及び各列に対応して、夫々走査電極及び信号電極を設け、夫々薄膜トランジスタのゲート及びソースに接続して、所望の画素電極に電圧を印加する所謂アクティブマトリックスアドレス方式の液晶表示装置が知られている。

【0003】 またこの種の液晶表示装置では、各画素電極と対向電極との間にコンデンサを接続し、画素電極に印加される交流波形の負領域への偏りを小さくして、画面のちらつきを防止することが行われている。

【0004】 例えば特開平1-154033号公報に記載のように、対向電極と電気的に接続された基準電極を、各画素電極の液晶層とは反対側で絶縁膜を挟んで対向するように設け、画素電極、絶縁層、及び基準電極でコンデンサを構成したものが知られている。またこの種の液晶表示装置では、基準電極を走査電極又は信号電極の何れか一方と同一平面上にかつその電極と平行に並べて設け、各基準電極両端をシール材の外部に突出させ、シール材の外部に突出した各基準電極両端を互いに電気的に接続し、更に銀ペースト等を介して対向電極に接続している。

【0005】

【発明が解決しようとする課題】 ところがシール材の外部に突出した各基準電極両端を互いに電気的に接続するためには、各基準電極と同一平面上にかつ平行に並べられた電極の、シール材の外部に突出した部分に絶縁膜を夫々形成し、更にその上から各基準電極を接続する導電層を積層しなければならない。このため液晶表示装置の製造工程が複雑化され、一方シール材の外部で基準電極と対向電極とを接続するので装置の小型化が困難であつた。

10 【0006】 そこで本発明は、画素電極と対向電極との間に接続されたコンデンサによって画面のちらつきを防止することができるアクティブマトリックスアドレス方式の液晶表示装置において、装置の製造工程を簡単にすると共に装置の小型化を可能にすることを目的としてなされた。

【0007】

【課題を解決するための手段】 上記目的を達成するためになされた本発明は、表面に電極層が積層された第1透明基板と、該電極層表面にマトリックス状に配列された多数の透明な画素電極と、該画素電極表面に積層された液晶層と、該液晶層表面に積層された透明な対向電極と、該対向電極の表面に積層された第2透明基板と、上記液晶層の周囲に連続的に設けられ、上記液晶層を上記第1透明基板と上記第2透明基板との間に封止するシール材と、を備え、上記電極層が、上記画素電極の各行に対応して平面状に並べられた走査電極と、上記画素電極の各列に対応して平面状に並べられた信号電極と、該走査電極と該信号電極との間に設けられた絶縁層とを有してなる液晶表示装置において、上記各走査電極又は上記各信号電極の何れか一方と平行に、かつ該電極と同一平面上に並べて設けられた基準電極と、上記基準電極と上記各画素電極との間に夫々接続された多数のコンデンサと、上記シール材の内部に形成され、上記各基準電極と上記対向電極とを電気的に接続する導通部と、を設けてなることを特徴とする液晶表示装置を要旨としている。

【0008】

【作用】 このように構成された本発明の液晶表示装置では、各基準電極はシール材の内部に形成された導通部を介して夫々対向電極に接続されることにより、各基準電極と各画素電極との間にコンデンサが形成され、各画素電極に印加される交流電圧波形の歪が緩和される。

【0009】

【実施例】 次に本発明の実施例を図面と共に説明する。図1は実施例の液晶表示装置1の構成を表す平面図である。図に示すように、第1透明基板3表面には、走査電極5、基準電極7、及び信号電極9を有する電極層11が積層され、更にその表面には例えば酸化インジウム(ITO)等の透明材料から構成される画素電極13がマトリックス状に配列されている。また画素電極13の表面には、後述するように液晶層15、対向電極17、

及び第2透明基板19が順次積層されている(図2参照)。

【0010】次に、電極層11は次のように構成され、各画素電極13の電位を調整する。即ち第1透明基板3表面には、各行の画素電極13の中心に沿って基準電極7が、各行の画素電極13の片側端縁に沿って走査電極5が、夫々積層されている。尚基準電極7は各行の画素電極13の下を通過すれば中心に限らずどこに積層してもよい。そして基準電極7及び走査電極5の表面には、第1絶縁層23を挟んで信号電極9が、各列画素電極13に沿ってかつ走査電極5及び基準電極7と直交する方向に設けられている。尚第1絶縁層23は、信号電極9が走査電極5及び基準電極7と交差する部分と、画素電極13が積層される部分とを包囲する大きさを有する第1透明基板3と相似形状の透明な樹脂膜によって構成されている。また、基準電極7には各画素電極13の中心と対向する位置に広幅部7aが形成されており、広幅部7a、第1絶縁層23、及び画素電極13でコンデンサを構成している。

【0011】更に第1絶縁層23の表面にはこの他に、前述の画素電極13とFET25とが設けられている。FET25はドレイン、ソース、及びゲートが夫々画素電極13、信号電極9、及び走査電極5に接続されている(図3参照)。そして電極層11、画素電極13、及びFET25の表面には第2絶縁層27が積層されている。第2絶縁層27は第1透明基板3と第1絶縁層23との間の大きさを有する第1透明基板3と相似形状の透明な樹脂膜によって構成され、周縁が第1絶縁層23よりはみ出して第1透明基板に直接積層されている。また第2絶縁層27には、画素電極13表面に積層される部分と、第1絶縁層23から突出した基準電極7に積層される部分とに、孔27aと孔27bとが夫々穿設されている。

【0012】統いて図2のA-A線断面図に示すように、第2絶縁層27周縁の第1絶縁層23よりはみ出した部分にはシール材29が連続的に設けられている。シール材29は例えば合成樹脂等、液晶を封止できる材料で構成され、その内部には導通部33が設けられている。また、シール材29の第1透明基板3とは対向側の表面には軟質の金属よりなる金属パット35が積層され、一方シール材29に周囲を取り囲まれた第2絶縁層27の表面には液晶層15が積層されている。金属パット35は特に設けなくても良いが、設けた場合導通部33との接触抵抗が低下するという利点がある。更に金属パット35及び液晶層15の表面には画素電極13と同様の材料から構成される対向電極17、及び第2透明基板19が順次積層されている。

【0013】尚導通部33は表面に金属メッキが施された合成樹脂製の球であって、孔27bに嵌入した導通部33は、対向電極17と基準電極7とを、金属パット3

5を介して電気的に接続している。また導通部33は、シール材29全体に分散して第2絶縁層27と対向電極17との間隔を所定値に保持するスペーサとしても作用する。更に、対向電極17と導通部33との間には軟質金属よりなる金属パット35を積層したので、この間の接触不良を防止することができる。

【0014】液晶表示装置1はこの他に、各走査電極7に接続された走査回路37、及び各信号電極9に接続された信号回路39を備え、入力された画像データに基づいて各画素電極13に交流電圧を印加する。また、対向電極17及びそれと電気的に接続された基準電極7には基準電圧Vcが入力されている。以下図3に例示する等価回路を用いて液晶表示装置1の動作を説明する。尚図3では、基準電極7の広幅部7a、第1絶縁層23、及び各画素電極13をコンデンサCとして表す。

【0015】次に、液晶表示装置1に電源が投入されると、走査回路37は一方の端の走査電極5(以下第1行の走査電極と記載)に所定電圧の走査パルスを入力し、第1行のFET25を全てターンオンさせる。統いて所定時間を開けて第2行以降の走査電極5にも順次走査パルスを入力し、対応する行のFET25を順次ターンオフさせる。そして全ての走査電極5に走査パルスを入力し終わると、再び第1行の走査電極5に走査パルスを入力して同様の動作を繰り返す。

【0016】統いて、液晶表示装置1に画像データが入力されると、信号回路39は走査パルスが入力される行の画像データに基づき、各信号電極9に信号パルスを入力する。尚、信号パルスは対応する行の一つ手前の行の走査パルスの立下がりから対応する行の走査パルスの立下がりまでのパルス幅と、対応する行の各画素電極13に表面に表示する画像の明るさに基づいて決定される電圧値とを有し、一パルス毎に正負交互に繰り返すものである。以下、走査パルス及び信号パルスによる画素電極13の電位の変化を図4のタイムチャートに基づいて詳細に説明する。

【0017】図4は全面素電極13に夫々等しい電圧が印加された場合を例に取って、一つの画素電極13に対応するFET25の各端子電位の変化を表しており、図4(A)はゲート電位(Lo:VGL, Hi:VGH)、即ち対応する行の走査電極5に入力される走査パルスを、図4(B)はソース電位、即ち対応する列の信号電極9に入力される信号パルスを、図4(C)はソース電位、即ち上記画素電極13の電位を、夫々表している。

【0018】走査パルスが立ち上がるとき、走査電極5の電位がVGHである間だけFET25が導通し、対応する列の画素電極13にV_aが印加される。但し、電圧値V_aは通常上記各画素電極13夫々の表示する画像の明るさに基づいて決定される。尚FET25がターンオフした瞬間、FET25のゲートードレイン間に一種のコンデンサが出来ているため、その静電容量に従って上記画

素電極13の電位は急峻に低下する。但しコンデンサCの静電容量が大きい場合、その影響は小さい。

【0019】次に、他の行の走査電極5に順次走査パルスが入力され、再び一つ手前の行の走査パルスが立ち下がると、今度は対応する列の信号電極9に電圧値-V α の信号パルスが入力される。続いて対応する走査電極5に走査パルスが入力されると上記画素電極13の電位は徐々にVc-V α となり、走査パルスが立ち下がると瞬間に低下する。

【0020】この様に上記画素電極13の電位はVc+V α とVc-V α との間を規則的に変動する。一方対向電極は常に基準電位Vcに保持されているので、結局液晶層15両端には波高値約V α の交流電圧が加えられることになる。

【0021】ここで液晶層と並列にコンデンサが接続されていないと、液晶層両端には液晶層自身の静電容量に基づいて変化する交流波形が印加されるが、液晶層自身の静電容量は非常に小さいので、良好な交流波形が得られない。即ち、FETがターンオフしたときの電圧低下が大きくなつて交流波形が負の領域に大きく偏るため、コンデンサを設けない液晶表示装置では画面がちらついて見えることがあるが、液晶表示装置1では、液晶層15両端に印加される電圧が画素電極13、第1絶縁層23、及び広幅部7aよりなるコンデンサCの静電容量に基づいて変化し、大きな実効値と対称性の良い波形とを有する交流波形となるので、画面のちらつきを防止して良好な画像を表示することができる。

【0022】また液晶表示装置1では、シール材29全体に導通部33を分散させると共に、第1絶縁層23に孔27bを穿設するだけで基準電極7と対向電極17とを電気的に接続しているので、従来のコンデンサを設けない液晶表示装置と略同様の工程で簡単に製造することができ、従来のコンデンサを設けた液晶表示装置に比べて構成を簡略化することができる。更に導通部33がシール材29の内部に形成されるので、装置を小型化する

ことができる。

【0023】尚、本実施例の液晶表示装置1では走査電極5と基準電極7とを平行にかつ同一平面上に設けているが、信号電極と基準電極とを平行にかつ同一平面上に設けても良い。また本実施例では、画素電極13、第1絶縁層23、及び基準電極7の広幅部7aよりコンデンサCを構成しているが、別体に構成された例えば市販のコンデンサを画素電極と基準電極との間に接続しても良い。

10 【0024】

【発明の効果】以上詳述したように発明の液晶表示装置では、各基準電極はシール材の内部に形成された導通部を介して夫々対向電極に接続される。即ち、シール材に導通部を設けるだけで基準電極と対向電極とを電気的に接続しているので、液晶表示装置の構成を簡略化して、液晶表示装置の製造工程を簡単にすることができます。また導通部がシール材の内部に形成されるので、装置を小型化することができる。

【図面の簡単な説明】

20 【図1】実施例の液晶表示装置の構成を表す平面図である。

【図2】実施例の液晶表示装置の構成を表すA-A線断面図ある。

【図3】実施例の液晶表示装置の等価回路を表す説明図である。

【図4】実施例の液晶表示装置の動作を表すタイムチャートである。

【符号の説明】

1…液晶表示装置	3…第1透明基板	5…走査電極
7…基準電極	7a…広幅部	9…信号電極
11…電極層		
13…画素電極	15…液晶層	17…対向電極
19…第2透明基板		
23…第1絶縁層	29…シール材	33…導通部
27…孔	27b…穿設孔	25…FET

【図2】

